

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-345231

(P2001-345231A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl. ⁷	識別記号	F I	サーチコード [*] (参考)
H 0 1 G 4/12	3 6 1	H 0 1 G 4/12	3 6 1 5 E 0 0 1
H 0 1 B 1/22		H 0 1 B 1/22	A 5 E 0 8 2
H 0 1 G 4/30	3 0 1	H 0 1 G 4/30	3 0 1 F 5 G 3 0 1

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願2000-163173(P2000-163173)

(22) 出願日 平成12年5月31日 (2000. 5. 31)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 前川 清隆

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 浜田 邦彦

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

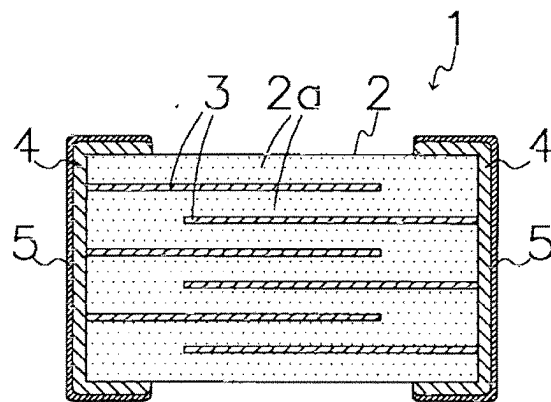
最終頁に続く

(54) 【発明の名称】 導電性ペーストおよびセラミック電子部品

(57) 【要約】

【目的】 導電成分の焼結時にガラスが粘度を維持したまままで焼結が進むことで、軟化したガラスのセラミック素体／端子電極界面や端子電極表面への流動が抑制され、かつ端子電極膜中の空隙に十分な量のガラスが留まることで、めっき液の浸入に対する良好なシール性を備え、いわゆる「くっつき不良」の抑制が図られた端子電極を形成し得る導電性ペースト、およびセラミック電子部品を提供することにある。

【構成】 本発明の導電性ペーストは、Cuまたは／およびNiを含む導電成分と、ガラスフリットと、有機ビクルと、を含有する導電性ペーストであって、ガラスフリットは、少なくとも1種の結晶化ガラスを含有し、導電成分の焼結開始温度は、結晶化ガラスの結晶化開始温度より高く、かつ結晶化ガラスの再熔融温度より低いことを特徴とする。



【特許請求の範囲】

【請求項1】 Cuまたは／およびNiを含む導電成分と、ガラスフリットと、有機ビヒクルと、を含有する導電性ペーストであって、前記ガラスフリットは、少なくとも1種の結晶化ガラスを含有し、前記導電成分の焼結開始温度は、前記結晶化ガラスの結晶化開始温度より高く、かつ前記結晶化ガラスの再熔融温度より低いことを特徴とする、導電性ペースト。

【請求項2】 前記結晶化ガラスは、B-Si-X-O系ガラス（Xは、アルカリ土類金属よりなる群から選ばれる少なくとも1種）であることを特徴とする、請求項1に記載の導電性ペースト。

【請求項3】 前記結晶化ガラスは、B-Si-X-Y-O系ガラス（Xは、アルカリ土類金属よりなる群から選ばれる少なくとも1種）（Yは、Al, Cu, Ni, Zn, Mnおよびアルカリ金属よりなる群から選ばれる少なくとも1種）であることを特徴とする、請求項1に記載の導電性ペースト。

【請求項4】 セラミック素体と、前記セラミック素体に接するように形成された端子電極と、を備えるセラミック電子部品であって、前記端子電極は、請求項1～3の何れかに記載の導電性ペーストを用いて形成されていることを特徴とする、セラミック電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、導電性ペーストおよびセラミック電子部品に関するものである。

【0002】

【従来の技術】従来よりセラミック電子部品は、例えば、セラミック素体と、内部電極と、端子電極とからなる。セラミック素体は、例えば、誘電体材料からなる生のセラミック層が複数積層された生の積層体が焼成されてなる。内部電極は、セラミック素体内のセラミック層間にあって、複数の生のセラミック層上に導電性ペーストが印刷され、生のセラミック層とともに同時焼成されてなる。端子電極は、導電性ペーストがセラミック素体の端面に塗布され、この塗布膜が焼付けられてなる。さらに、セラミック電子部品を回路基板等に実装する際の、はんだ濡れ性ならびにはんだ耐熱性を向上させる目的で、端子電極上にNi, Sn, はんだ等のめっき処理を施す。

【0003】端子電極を形成する導電性ペーストは、導電成分と、ガラスフリットと、有機ビヒクルと、を含有する。導電成分としては、Ag, Pd, Ag/Pd等の貴金属に加えて、近年ではNiやCu等の卑金属も用いられている。ガラスフリットとしては、B-Si-O系ガラスフリットが適宜用いられている。

【0004】

【発明が解決しようとする課題】しかしながら、卑金属からなる導電成分を含有する導電性ペーストを用いてセラミック電子部品の端子電極を形成し、この端子電極上にめっき処理を施すと、Ag/Pd等の貴金属からなる導電成分を含有する導電性ペーストを用いて形成した端子電極と比べて焼結密度が低いことことから、めっき液が端子電極の内部へ浸入しやすくなり、さらにセラミック素体の内部に欠陥が生じる不良が発生する恐れがあった。

【0005】特に焼結密度の低い、Cuを導電成分とする端子電極の焼結密度を高める手段として、例えば、焼付け温度を高くする方法が挙げられる。ところが、この方法では、軟化するガラスの粘度がさらに低下するため、焼付け時に塗布膜中のガラスがセラミック素体／電極界面や端子電極の表面に流動し、セラミック電子部品同士がガラスを介して互いに貼り付き合う、いわゆる「くっつき不良」が多発するばかりでなく、塗布膜中においてガラスが占めていた領域が空隙となり、却ってめっき液の侵入が生じる。

【0006】そこで、軟化点のさらに高いガラスフリットを用いる方法が考えられるが、この場合、ガラスによる液相焼結が起こりにくくなるため、上述のいわゆる「くっつき不良」は起こりにくくなるものの、焼結密度が低くなるため、やはり同様にめっき液の侵入が生じる。本発明の目的は、上述の問題点を解消すべくなされたもので、導電成分の焼結時にガラスが粘度を維持したまま焼結が進むことで、軟化したガラスのセラミック素体／端子電極界面や端子電極表面への流動が抑制され、かつ端子電極膜中の空隙に十分な量のガラスが留まることで、めっき液の浸入に対する良好なシール性を備え、いわゆる「くっつき不良」の抑制が図られた端子電極を形成し得る導電性ペースト、およびこのような端子電極を備えるセラミック電子部品を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明の導電性ペーストは、Cuまたは／およびNiを含む導電成分と、ガラスフリットと、有機ビヒクルと、を含有する導電性ペーストであって、ガラスフリットは、少なくとも1種の結晶化ガラスを含有し、導電成分の焼結開始温度は、結晶化ガラスの結晶化開始温度より高く、かつ結晶化ガラスの再熔融温度より低いことを特徴とする。

【0008】また、上述の結晶化ガラスは、B-Si-X-O系ガラス（Xは、アルカリ土類金属よりなる群から選ばれる少なくとも1種）であることが好ましい。

【0009】また、上述の結晶化ガラスは、B-Si-X-Y-O系ガラス（Xは、アルカリ土類金属よりなる群から選ばれる少なくとも1種）（Yは、Al, Cu, Ni, Zn, Mnおよびアルカリ金属よりなる群から選ばれる少なくとも1種）であることが好ましい。

【0010】また、本発明のセラミック電子部品は、セラミック素体と、セラミック素体に接するように形成された端子電極と、を備えるセラミック電子部品であって、端子電極は、本発明の導電性ペーストを用いて形成されていることを特徴とする。

【0011】

【発明の実施の形態】本発明の導電性ペーストは、結晶化ガラスを含有し、前記導電成分の焼結開始温度は、前記結晶化ガラスの結晶化開始温度より高く、かつ前記結晶化ガラスの再熔融温度よりも低いことを要する。

【0012】導電粉末の焼結開始温度が、ガラスフリットの結晶化開始温度以下であると、導電粉末の焼結温度ではガラスの結晶化が起こらず流動性を有する非晶質ガラスとして存在するため、電極膜中からの移動が容易となり、いわゆる「くっつき不良」やめっき液の侵入が生じる。他方、導電粉末の焼結開始温度が、ガラスフリットの再熔融温度以上であると、導電粉末の焼結時には一旦結晶化したガラスの再熔融が起こり、いわゆる「くっつき不良」やめっき液の侵入が生じる。

【0013】また、このような結晶化ガラスとしては、 $B-Si-X-O$ 系ガラス（ X は、アルカリ土類金属よりなる群から選ばれる少なくとも1種）であることが好ましい。 Ba 、 Sr 、 Ca 等のアルカリ土類金属の酸化物は、網目修飾酸化物であつため、ガラス中に含まれることで結晶化を助け、さらにめっき液成分と反応することで安定な不溶性反応物を作り、ガラスがめっき液に溶解することを抑制する効果がある。

【0014】また、上述の結晶化ガラスは、さらに多元系の $B-Si-X-Y-O$ 系ガラス（ X は、アルカリ土類金属よりなる群から選ばれる少なくとも1種）（ Y は、 Al 、 Cu 、 Ni 、 Zn 、 Mn およびアルカリ金属よりなる群から選ばれる少なくとも1種）であっても構わない、すなわち、ガラスが結晶化する範囲で、 Al 、 Cu 、 Ni 、 Zn 、 Mn およびアルカリ金属等を含有しても構わない。

【0015】なお、導電性ペーストにおける導電成分とガラスフリットの構成比率については、特に限定するものではないが、好ましくは、導電成分50～95体積％に対して、ガラスフリット5～50体積％の範囲内である。ガラスフリットの構成比率が5体積％を下回ると、本発明の効果が得られにくい。他方、ガラスフリットの構成比率が50体積％を上回ると、端子電極の表面近傍に余剰のガラスフリットが集中することで、めっき付き不良を引き起こす恐れがある。

【0016】本発明の積層セラミック電子部品の一つの実施形態について、図1に基づいて詳細に説明する。すなわち、セラミック電子部品1は、セラミック積層体2

と、内部電極3、3と、端子電極4、4と、めっき膜5、5とから構成される。

【0017】セラミック積層体2は、 $BaTiO_3$ を主成分とする誘電体材料からなるセラミック層2aが複数積層された生のセラミック積層体が焼成されてなる。

【0018】内部電極3、3は、セラミック積層体2内のセラミック層2a間にあって、複数の生のセラミック層2a上に導電性ペーストが印刷され、生のセラミック層と同時焼成されてなり、内部電極3、3のそれぞれの端縁は、セラミック層2aの何れかの端面に露出するように形成されている。

【0019】端子電極4、4は、セラミック積層体2の端面に露出した内部電極3、3の一端と電気的かつ機械的に接合されるように、本発明の導電性ペーストがセラミック積層体2の端面に塗布され焼付けられてなる。

【0020】めっき膜5、5は、例えば、 Sn や Ni 等のめっきや、はんだめっき等からなり、端子電極上4、4上に少なくとも1層形成されてなる。

【0021】なお、本発明のセラミック電子部品のセラミック積層体2の材料は、上述の実施形態に限定されることなく、例えば $PbZrO_3$ 等その他の誘電体材料や、絶縁体、磁性体、半導体材料からなっても構わない。また、本発明の積層セラミック電子部品の内部電極3の枚数は、上述の実施形態に限定されることなく、必ずしも備えている必要はなく、また何層形成されていても構わない。また、めっき膜5、5は、必ずしも備えている必要はなく、また何層形成されていても構わない。

【0022】

【実施例】まず、表1に示す組成比率となるように、ガラス番号1～10のガラスフリットを作製した。すなわち、出発原料の $BaCO_3$ 、 SiO_2 、 H_3BO_3 、 $Al(OH)_3$ 、 ZnO 、 CuO 、 NiO 、 Na_2CO_3 、 MnO_2 、 $SrCO_3$ 、 $CaCO_3$ を所定量調合した後、これを混合し、白金ルツボで1000～1500℃の範囲で熔融させ、金属ロールに投下後に急冷してガラス化させ、得られたガラスのカレットをメノウ乳鉢で粗粉碎した後、ジルコニア球をメディアに用いたボールミル等を用いて微粉碎をおこない、ガラス番号1～10のガラスフリットを得た。

【0023】そこで、ガラス番号1～10のガラスフリットについてTG-DTAを測定し、DTA曲線から軟化点温度、結晶化開始温度（ T_c ）、結晶化ピーク温度（ T_{cp} ）、再熔融温度をそれぞれ求め、これを表1にまとめた。

【0024】

【表1】

番号	ガラスフリット										軟化点 (℃)	T _g (℃)	T _{cr} (℃)	再溶解温度 (℃)	
	B ₂ O ₃	SiO ₂	BaO	SrO	CaO	Al ₂ O ₃	CoO	Na ₂ O	MnO	ZnO					
1	20	50	30								745	840	872	930	
2	35	15	35				10	5			645	703	750	840	
3	14	33	33				8	7		4	645	694	720	884	
4	24	24	34				7	7		4	630	660	705	890	
5	20	18	22				7	7		28	640	660	715	878	
6	25	21					3			14	37	581	618	640	780
7	22	13		35			8	7			15	648	820	890	920
8	24	14	21			5	8		3		25	675	705	768	910
9	45	12					1			12	30	550	なし(非晶質)		
10	8	40	17			32	3					770	なし(非晶質)		

【0025】次いで、焼結開始温度が780℃、820℃、845℃であるCu粉末を準備し、それぞれ番号1～3の導電成分とした。なお、Cu粉末の焼結開始温度は、Cu粉末を圧粉体状に加工したものを加熱した時の変位を測定し、収縮が始まった温度を焼結開始温度と定義した。

【0026】

【表2】

記号	導電成分(Cu粉末)	
	平均粒径 (μm)	焼結開始温度 (°C)
A	0.5	780
B	2.0	820
C	2.0	845

【0027】次いで、表1に示した組成比率の異なる番号1～10のガラスフリット20体積%と、表2に示した焼結開始温度の異なるCu粉末からなる記号A～Cの導電成分80体積%とを、表3に示す組み合わせで混合し、さらにテルピネオール80重量%とアクリル樹脂20重量%とからなる有機ビヒクルを適量加え、3本ロールで混合し分散させて、試料11～42の導電性ペーストを作製した。

【0028】次いで、試料11～42の導電性ペーストを用いて、試料11～42の積層セラミックコンデンサを作製した。まず、BaTiO₃を主成分とするセラミック層を準備し、所定枚数のセラミック層の表面上に一方の端縁がセラミック層の何れかの端面側に露出するように、Niを導電成分とする内部電極となるべき電極膜を印刷し、これら複数のセラミック層を所定枚数積層し圧着して、複数の生のセラミック素体を準備した。

【0029】次いで、生のセラミック素体の両端面に試料11～42の導電性ペーストを浸漬塗布し、120℃で10分間乾燥させた後、中性雰囲気中、表3に示した各試料の焼付け温度、10分ピークの条件で焼付けし

て、内部電極に電気的かつ機械的に接合された一対の端子電極を形成して、試料11～42のめっき処理前部品を各試料10000個ずつ得た。なお、焼付け温度は、試料11、13～17、19～42については、導電成分の焼結開始温度+20℃と設定し、試料12については、導電成分の焼結開始温度+40℃と設定し、試料18については、導電成分の焼結開始温度と設定した。

【0030】次いで、試料11～42のめっき処理前部品の一対の端子電極上にNiめっき膜を電解めっき処理により形成し、さらにNiめっき膜上にSiめっき膜を電解めっき処理により形成して、試料11～42の積層セラミックコンデンサを得た。

【0031】そこで、導電成分の焼結開始温度とガラスフリットの結晶化開始温度の差、ガラスフリットの再溶解温度と導電成分の焼結開始温度の差、内部欠陥不良率、くっつき不良率を測定し、評価を付してこれらを表3にまとめた。

【0032】なお、くっつき不良率は、試料11～42のめっき処理前部品同士が端子電極表面に集中したガラスを介して互いに貼り付き合っている、いわゆる「くっつき不良」が生じている試料を計数し、全数10000個に対する割合を求めた。

【0033】また、内部欠陥不良率は、試料11～42のめっき処理前部品のうち、くっつき不良が発生したものを除いてめっき処理した積層セラミック電子部品を対象として、クラック発生等の内部欠陥が生じている試料を計数し、対象全数に対する割合を求めた。

【0034】また、評価は、くっつき不良率および内部欠陥不良率が何れも0.1%を下回る本発明の範囲内の試料について○、くっつき不良率と内部欠陥発生率の少なくとも一方が0.1%以上である本発明の範囲外の試料について×を付した。

【0035】

【表3】

試料 番号	ガラス フリット 成分	導電 成分	焼付け温度 (℃)	セフミック電子部品					評価
				焼結開始温度 - 結晶化温度 (℃)	再溶融温度 - 熱処理温度 (℃)	再溶融温度 - 熱処理温度 (℃)	内部欠陥不良率 (%)	くっつき不良率 (%)	
11	1	A	800	-80	150	0.15	0.15	×	
12	1	A	820	-80	150	0.09	0.19	×	
13	1	B	840	-20	110	0.08	0.13	×	
14	1	O	885	5	85	0.02	0.03	○	
15	2	A	800	77	80	0.02	0.02	○	
16	2	B	840	117	20	0.09	0.08	○	
17	2	C	885	142	-5	0.14	0.21	×	
18	2	C	845	142	-5	0.21	0.05	×	
19	3	A	800	85	104	0.03	0.09	○	
20	3	B	840	128	84	0.02	0.07	○	
21	3	C	885	151	39	0.00	0.03	○	
22	4	A	800	120	110	0.05	0.02	○	
23	4	B	840	180	70	0.04	0.03	○	
24	4	C	885	185	45	0.04	0.04	○	
25	5	A	800	120	98	0.05	0.02	○	
26	5	B	840	160	58	0.03	0.01	○	
27	5	C	885	185	33	0.07	0.08	○	
28	6	A	800	182	0	0.88	0.01	×	
29	6	B	840	202	-40	0.81	0.27	×	
30	6	C	885	227	-85	1.02	0.48	×	
31	7	A	800	-40	140	0.08	0.15	×	
32	7	B	840	0	100	0.05	0.11	×	
33	7	C	885	25	75	0.07	0.02	○	
34	8	A	800	75	130	0.07	0.04	○	
35	8	B	840	115	80	0.05	0.08	○	
36	8	C	885	140	65	0.08	0.07	○	
37	9	A	800	なし(非晶質)		0.05	0.19	×	
38	9	B	840			0.08	0.58	×	
39	9	C	885			0.07	1.02	×	
40	10	A	800	なし(非晶質)		0.85	0.08	○	
41	10	B	840			0.21	0.19	×	
42	10	C	885			0.08	0.57	×	

【0036】表3から明らかであるように、結晶化ガラスからなる番号1～8の何れかのガラスフリットを含み、導電成分の焼結開始温度が、結晶化ガラスの結晶化開始温度より高く、かつ結晶化ガラスの再溶融温度より低い、試料14～16、19～27、33～36の積層セラミック電子部品は、くっつき不良率が0.01～0.09%で、内部欠陥不良率が0～0.09%であり、何れも0.1%を下回る優れた結果が得られ、本発明の範囲内となった。

【0037】なお、同じガラスフリットと導電成分を用いて、焼付け温度を異ならせた試料11と12、試料17と18を比較すると、焼結温度が低いほどくっつき不良率は低下するが、内部欠陥不良率が僅かながら悪化することが分かる。

【0038】これに対して、結晶化ガラスからなる番号1～8の何れかのガラスフリットを含み、導電成分の焼結開始温度が、結晶化ガラスの結晶化開始温度以下である、試料11～13、31、32は、くっつき不良率と内部欠陥発生率の少なくとも一方が0.1%以上で高く劣ったため、本発明の範囲外となった。

【0039】また、結晶化ガラスからなる番号1～8の何れかのガラスフリットを含み、導電成分の焼結開始温度が、結晶化ガラスの再溶融温度以上である、試料17、18、28～30は、くっつき不良率と内部欠陥発生率の少なくとも一方が0.2%以上で高く劣ったため、本発明の範囲外となった。

【0040】また、非晶質ガラスからなる番号9または10のガラスフリットを含む試料37～42は、くっつき不良率と内部欠陥発生率の少なくとも一方が0.1%以上で高く劣った。

【0041】

【発明の効果】以上のように本発明の導電性ペーストによれば、Cuまたは/およびNiを含む導電成分と、ガラスフリットと、有機ビヒクルと、を含有し、ガラスフリットは、少なくとも1種の結晶化ガラスを含有し、導電成分の焼結開始温度は、結晶化ガラスの結晶化開始温度より高く、かつ結晶化ガラスの再溶融温度より低いことを特徴とすることで、導電成分の焼結時にガラスが粘度を維持したまま焼結が進み、軟化したガラスのセラミック素体/端子電極界面や端子電極表面への流動が抑制され、かつ端子電極膜中の空隙に十分な量のガラスが留まるため、めっき液の浸入に対する良好なシール性を備え、いわゆる「くっつき不良」が抑制された端子電極、ならびに内部欠陥不良の発生が抑制されたセラミック電子部品が得られる効果がある。

【0042】また、本発明のセラミック電子部品は、セラミック素体と、セラミック素体に接するように形成された端子電極と、を備え、端子電極は、本発明の導電性ペーストを用いて形成されていることを特徴とすることで、めっき液の浸入に対する良好なシール性を備え、内部欠陥不良の発生、いわゆる「くっつき不良」が抑制される効果が得られる。

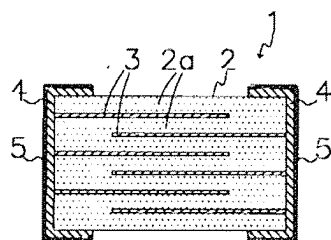
【図面の簡単な説明】

【図1】本発明に係る一つの実施の形態のセラミック電子部品の断面図である。

【符号の説明】

- 1 セラミック電子部品
- 2 セラミック素体
- 4 端子電極

【図1】



フロントページの続き

Fターム(参考) 5E001 AB03 AF06 AH01 AJ03
5E082 AA01 AB03 BC38 EE04 EE23
EE35 GG10 GG26 GG28 JJ03
JJ23 PP06
5G301 DA06 DA10 DA34 DA38 DA39
DA40 DD01